

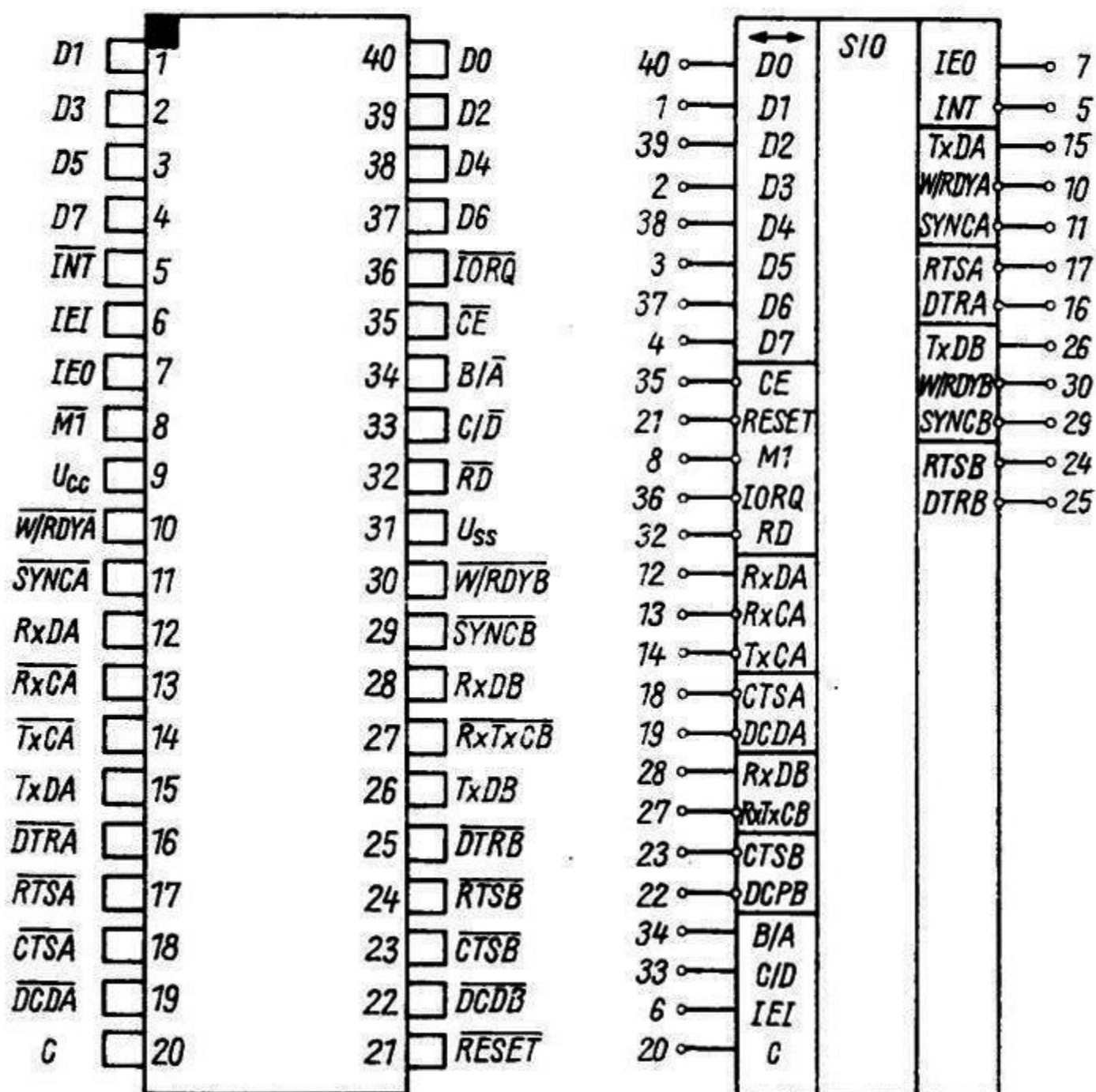


Serielle Ein- und Ausgabeschaltkreise (SIO)

- UA 8563 D, UB 8563 D – DART, nur für asynchronen Betrieb, technische Daten wie UA 856 D, UB 856 D
- Taktfrequenz: UA 856 D = 4 MHz (θ_a = 0 ... 70 °C)
UB 856 D = 2,5 MHz (θ_a = 0 ... 70 °C)
UA 8563 D = 4 MHz (θ_a = 0 ... 70 °C)
UB 8563 D = 2,5 MHz (θ_a = 0 ... 70 °C)
VB 856 D = 2,5 MHz (θ_a = -25 ... 85 °C)
- 4 unabhängige serielle Ports: 2 Sender- und Empfängerports
- asynchrone oder synchrone Arbeitsweise
- asynchrone Daten mit 5, 6, 7, 8 Datenbits, 1, 1½ oder 2 Stoppbits und gerader, ungerader oder kleiner Paritätserzeugung bzw. Paritätsprüfung
- Paritäts-, Oberlauf- und Rahmenfehlererkennung
- Break-Erzeugung und -Erkennung
- alle Eingänge und Ausgänge voll TTL-kompatibel
- Taktvarianten $\times 1$, $\times 16$, $\times 32$, $\times 64$
- Datenübertragungsraten 0 bis 550 k bit/s
- 4 Eingänge/4 Ausgänge zur MODEM-Steuerung
- volle Fähigkeit zur Arbeit nach HDLC einschließlich Verarbeitung des I-Feld-Restes
- interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeichen und Flags
- Betriebszustand „Adreßerkennung“ bei SDLC/HDLC
- Betriebszustand „Synchronisationsbyteunterdrückung“ bei mono- und bisynchroner Arbeitsweise
- die hohen Übertragungsraten und die automatische CRC-Erzeugung gestatten die direkte Zusammenschaltung mit Floppy-Disk-Speichern doppelter Dichte ohne daß direkter Speicherzugriff erforderlich ist
- empfangene Daten und Fehlerregister sind vierfach, zu sendende Daten zweifach gepuffert
- leistungsfähige Interruptstruktur durch wahlweise festen oder variablen Interruptvektor
- CRC – 16 oder CRC – CITT (0 und -1) – Prüfpolyinom
- gültige empfangene Daten vor Überschreibung geschützt
- 5 V Einphasentakt und eine einzige 5 V Gleichspannungsversorgung
- Prioritätslogik durch Kaskadierung der Bausteine

Bauform 14

Anschlußbelegung und Schaltungskurzzeichen



D 0 . . . D 7	8 bit – bidirektionaler Datenbus
CE	Bausteinauswahl, Eingang
RESET	Rücksetzen, Eingang
M 1	CPU – Maschinenzyklus, Eingang
IORQ	CPU-Ein-/Ausgabe-Anforderung, Eingang
RD	CPU-Leseanforderung, Eingang
RxDA, RxDB	Empfangsdaten, Eingänge
RxCA, RxCB	Empfängertakte, Eingänge ¹⁾
TxCA, TxCB	Sendertakte, Eingänge ¹⁾
CTSA, CTSB	Sendebereitschaft, Eingänge

$\overline{\text{DCDA}}, \overline{\text{DCDB}}$	Datenträgererkennung, Eingänge
$\overline{\text{B/A}}$	Kanalauswahl, Eingang
$\overline{\text{C/D}}$	Umschaltung Steuerwort/Datenwort, Eingang
$\overline{\text{IEI}}$	Interrupt-Freigabe, Eingang
$\overline{\text{IEO}}$	Interrupt-Freigabe, Ausgang
$\overline{\text{INT}}$	Interrupt-Anforderung, Ausgang
$\overline{\text{TxDA}}, \overline{\text{TxDB}}$	Sendedaten, Ausgänge
$\overline{\text{W/RDYA}}$	WAIT/READY-PIN (CPU WAIT, DMA-READY Kanal A), Ausgang
$\overline{\text{W/RDYB}}$	WAIT/READY-PIN (CPU WAIT, DMA-READY Kanal B), Ausgang
$\overline{\text{SYNCY}}$	Externsynchronisation Kanal A, Ein-/Ausgang
$\overline{\text{SYNCB}}$	Externsynchronisation Kanal B, Ein-/Ausgang
$\overline{\text{RTSA}}, \overline{\text{RTSB}}$	Sendeanforderung
$\overline{\text{C}}$	Systemtakt
$\overline{\text{DTRA}}, \overline{\text{DTRB}}$	Bereitschaft Datenterminal, Ausgang

1) Empfänger- und Sendertakt Kanal B gemeinsam gebondet, Pin-Bezeichnung RxTxCB

Grenzwerte (Bezugspotential $U_{SS} = 0$)

	Meßbedingung	min	max
Betriebsspannung	U_{CC}	-0,5 ...	7 V
Eingangsspannung	U_I	-0,5 ...	7 V
Lagertemperatur	ϑ_{stg}	-55 ...	125 °C
Verlustleistung ($\vartheta_a = 25$ °C)	P_V		1,1 W

Statische Kennwerte ($\vartheta_a = 0 \dots 70$ °C, $U_{SS} = 0$ V)

Betriebsspannung	U_{CC}		4,75	5,25 V
Eingangsspannung Low	U_{IL}		-0,5	0,8 V
	High	U_{IH}	-2,0	U_{CC} V
Takteingangsspannung	U_{ILC}		-0,5	0,45 V
	U_{IHC}	U_{CC}	-0,2	U_{CC} V
Ausgangsspannung	U_{OL}	$I_{OL} = 1,8$ mA		0,4 V
	U_{OH}	$I_{OH} = -0,25$ mA	2,4	V
Stromaufnahme	I_{CC}	$t_o = 400$ ns		140 mA
Eingangsreststrom	I_{LI}	$U_I = 0 \dots U_{CC}$		10 μ A

Dynamische Kennwerte ($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$, $U_{CC} = 4,75 \dots 5,25 \text{ V}$, $U_{SS} = 0 \text{ V}$)

UA 856 D

Taktperiode	t_c	250	4 000 ns
High-Breite des Taktes	$t_w(\text{CH})$	110	2 000 ns
Low-Breite des Taktes	$t_w(\text{CL})$	110	2 000 ns
Anstiegs- und Abfallzeiten des Taktes	t_r, t_f		30 ns

UB 856 D, VB 856 D

Taktperiode	t_c	400	¹⁾ ns
High-Breite des Taktes	$t_w(\text{CH})$	180	2 000 ns
Low-Breite des Taktes	$t_w(\text{CL})$	180	2 000 ns
Anstiegs- und Abfallzeiten des Taktes	t_r, t_f		30 ns

$$^1) t_c = t_w(\text{CH}) + t_w(\text{CL}) + t_r + t_f$$