

U 834 C · U 834 Cm



Busanpaßschaltkreis in n-Kanal-Silicon-Gate-Technologie für Mikrorechner

Anfalltyp: U 834 C 1

- Steuerschaltkreis zur Anpassung peripherer Einheiten an den Rechnerbus von SKR-Kleinrechnern
- programmierte Steuerung des Datenflusses zwischen Prozessor und peripheren Einheiten (U 834 C als Slave)
- Steuerung des Datenflusses zwischen Speicher und peripheren Einheiten im DMA-Betrieb (U 384 C als Master)
- Weiterleitung von Meldungen der peripheren Einheiten (Interruptanforderungen, DMA-Anforderungen) an den Prozessor
- U 834 C ist in 1 152 verschiedenen funktionellen Varianten vom Prozessor programmierbar
- kurze Operationszeiten
- asynchrone Arbeitsweise
- TTL-kompatibel; die Ausgänge können eine Standard-TTL-Last treiben
- nur eine Betriebsspannung von $5\text{ V} \pm 5\%$

Bauform 15

Anschlußbelegung und logisches Schaltbild

S 1 . . . S 3	Subadreßsignal für externe Register
T 1, T 2	Steuersignale für externe Logik bzw. Gerätesteuerung
DA 0 . . . DA 15	Daten-/Adreß-Ein-/Ausgänge
R 1 . . . R 4	Unterbrechungs- und Steuereingänge
U _{SS}	Masse (Bezugspotential)
U _{CC}	Betriebsspannung
AEIN	Steuereingang für Anfangseinstellung
SESP	Sendesperre
ANSYS	Antwort- bzw. Adreßsynchronisationssignal
SEND	Steuersignal für Umschaltung externer Daten – BUS – Empfänger/-Sender
ZS	Zeitsteuersignal für das Senden von Daten
ZEH	Zeitsteuersignal für den Empfang von Daten, höheres Byte
ZEN	Zeitsteuersignal für den Empfang von Daten, niederes Byte
ERK	DMA-Steuersignal (BUS-Gewährung)
UANF	Interruptanforderung
UERKE	Interruptquittungssignal
DAUS	Datenbegleitsignal bei Ausgabe
DEIN	Anforderung der Eingabedaten
FKT	Funktionsangabe

ANF
ANTE
GENLO
ASGEW
SYNE
DA 16, DA 17

DMA-Anforderung
Antwortsignal (Slave)
Generallöschen
DMA-Gewährung
Synchronisationseingang für Adresse
Adreß-Ein- und -Ausgänge

S3	01	48	U _{cc}
S2	02	47	AEIN
S1	03	46	DAUS
T2	04	45	SESP
DA0	05	44	ANSYS
DA1	06	43	SEND
DA2	07	42	ZS
DA3	08	41	ZEH
DA4	09	40	ZEN
DA5	10	39	ERK
DA6	11	38	UANF
DA7	12	37	UERKE
DA8	13	36	U _{ss}
DA9	14	35	FKT
DA10	15	34	DEIN
DA11	16	33	T1
DA12	17	32	ANF
DA13	18	31	ANTE
DA14	19	30	GENLO
DA15	20	29	ASGEW
R1	21	28	R4
R2	22	27	SYNE
R3	23	26	DA 17
U _{ss}	24	25	DA 16

05	↔	BA	↔	13
06	DA0		DA8	14
07	DA1		DA9	15
08	DA2		DA10	16
09	DA3		DA11	17
10	DA4		DA12	18
11	DA5		DA13	19
12	DA6		DA14	20
34	↔		DA15	25
35	DEIN		DA16	26
46	FKT		DA17	40
30	DAUS		ZEN	41
21	GENLO		ZEH	42
22	R1		ZS	01
23	R2		S3	02
28	R3		S2	03
47	R4		S1	04
27	AEIN		T2	33
31	SYNE		T1	39
45	ANTE		ERK	43
29	SESP		SEND	44
37	ASGEW		ANSYS	32
	UERKE		ANF	38
			UANF	

Grenzwerte (alle Spannungen sind auf $U_{SS} = 0\text{ V}$ bezogen)

		min	max
Betriebsspannung	U_{CC}	- 0,5	7 V
Eingangsspannung	U	- 0,5	7 V
Ausgangsspannung	U_O	- 0,5	7 V
Betriebstemperatur	ϑ_a	0	70 °C
Lagerungstemperatur	ϑ_{stg}	- 55	155 °C
Gesamtverlustleistung	P_V	-	1 W

Betriebsbedingungen

(alle Spannungen sind auf $U_{SS} = 0\text{ V}$ bezogen)

		min	typ	max
Betriebsspannung	U_{CC}	4,75	5,0	5,25 V
L-Eingangsspannung	U_{IL}	- 0,5	-	0,8 V
H-Eingangsspannung	U_{IH}	2,0	-	U_{CC} V
Umgebungstemperatur	ϑ_a	0	25	70 °C
Lastkapazität an allen Ausgängen	C_L	-	-	100 pF

Kennwerte (alle Spannungen sind auf $U_{SS} = 0\text{ V}$ bezogen;
 $\vartheta_a = 0 \dots 70\text{ °C}$; $U_{CC} = 5\text{ V} \pm 5\%$)

		min	max
L-Ausgangsspannung	U_{OL}	0	0,4 V
H-Ausgangsspannung	U_{OH}	2,4	- V
Stromaufnahme	I_{CC}	-	180 mA
Eingangsleckstrom	$ I_{LI} $	-	10 μA
Eingangskapazität	C_i	-	10 pF
Zykluszeit (Master-Betrieb)	t_{C2}	-	2,5 μs
	t_{C3} (U 834 C _m)		1,8 μs
	t_{C4} (U 834 C ₁)		1,3 μs
Zeitsignal für Empfang (Master DATEIN)	t_{HI} 11	120 ¹⁾ 560 ¹⁾	- ns - ns
ZS bis DAUS (Master-DATAUS)	t_{MO} 5	200 ¹⁾	- ns
	t_{MO} 6	560 ¹⁾	- ns
Zeitsignaldauer (Slave-DATAUS)	t_{SO} 18	120 ¹⁾	- ns
	t_{SO} 19	560 ¹⁾	- ns
ZS bis ANSYS (Slave-DATEIN)	t_{SI} 10	-25 ¹⁾	- ns
	t_{SI} 11	360 ¹⁾	- ns

¹⁾ durch Anfangseinstellung programmierbar