

**Busanpaßschaltkreis in n-Kanal-Silicon-Gate-
Technologie für Mikrorechner
Anfalltyp: U 834 C 1**

- Steuerschaltkreis zur Anpassung peripherer Einheiten an den Rechnerbus von SKR-Kleinrechnern
 - programmierte Steuerung des Datenflusses zwischen Prozessor und peripheren Einheiten (U 834 C als Slave)
 - Steuerung des Datenflusses zwischen Speicher und peripheren Einheiten im DMA-Betrieb (U 834 C als Master)
 - Weiterleitung von Meldungen der peripheren Einheiten (Interruptanforderungen, DMA-Anforderungen) an den Prozessor
 - U 834 C ist in 1 152 verschiedenen funktionellen Varianten vom Prozessor programmierbar
 - kurze Operationszeiten
 - asynchrone Arbeitsweise
 - TTL-kompatibel; die Ausgänge können eine Standard-TTL-Last treiben
 - nur eine Betriebsspannung von $5V \pm 5\%$
-

Bauform 15**Anschlußbelegung und logisches Schaltbild**

S 1 ... S 3	Subadreßsignal für externe Register
T 1, T 2	Steuersignale für externe Logik bzw. Gerätesteuerung
DA 0 ... DA 15	Daten-/Adreß-Ein-/Ausgänge
R 1 ... R 4	Unterbrechungs- und Steuereingänge
<u>U_{SS}</u>	Masse (Bezugspotential)
<u>U_{CC}</u>	Betriebsspannung
<u>AEIN</u>	Steuereingang für Anfangseinstellung
<u>SESP</u>	Sendesperre
<u>ANSYS</u>	Antwort- bzw. Adreßsynchronisationssignal
<u>SEND</u>	Steuersignal für Umschaltung externer Daten – BUS – Empfänger/-Sender
<u>ZS</u>	Zeitsteuersignal für das Senden von Daten
<u>ZEH</u>	Zeitsteuersignal für den Empfang von Daten, höheres Byte
<u>ZEN</u>	Zeitsteuersignal für den Empfang von Daten, niederes Byte
<u>ERK</u>	DMA-Steuersignal (BUS-Gewährung)
<u>UANF</u>	Interruptanforderung
<u>UERKE</u>	Interruptquittungssignal
<u>DAUS</u>	Datenbegleitsignal bei Ausgabe
<u>DEIN</u>	Anforderung der Eingabedaten
<u>FKT</u>	Funktionsangabe

ANF
 ANTE
 GENLO
 ASGEW
 SYNE
 DA 16, DA 17

DMA-Anforderung
Antwortsignal (Slave)
Generallöschen
DMA-Gewährung
Synchronisationseingang für Adresse
Adreß-Ein- und -Ausgänge

S3	01	48	U_{cc}	05	↔	DA8	13
S2	02	47	AEIN	06	↔	DA1	14
S1	03	46	DAUS	07	↔	DA2	15
T2	04	45	SESP	08	↔	DA3	16
DA0	05	44	ANSYS	09	↔	DA4	17
DA1	06	43	SEND	10	↔	DA5	18
DA2	07	42	ZS	11	↔	DA6	19
DA3	08	41	ZEH	12	↔	DA7	20
DA4	09	40	ZEN	34	↔	DEIN	25
DA5	10	39	ERK	35	↔	FKT	26
DA6	11	38	UANF	46	↔	DAUS	40
DA7	12	37	UERKE	30	↔	GENLO	41
DA8	13	36	U_{ss}	21	↔	R1	42
DA9	14	35	FKT	22	↔	R2	01
DA10	15	34	DEIN	23	↔	R3	02
DA11	16	33	T1	28	↔	R4	03
DA12	17	32	ANF	47	↔	AEIN	04
DA13	18	31	ANTE	27	↔	SYNE	05
DA14	19	30	GENLO	31	↔	ANTE	06
DA15	20	29	ASGEW	45	↔	SESP	07
R1	21	28	R4	29	↔	ASGEW	08
R2	22	27	SYNE	37	↔	UERKE	09
R3	23	26	DA17				
U_{ss}	24	25	DA16				

Grenzwerte (alle Spannungen sind auf Uss = 0 V bezogen)

		min	max
Betriebsspannung	Ucc	- 0,5	7 V
Eingangsspannung	U	- 0,5	7 V
Ausgangsspannung	Uo	- 0,5	7 V
Betriebstemperatur	ta	0	70 °C
Lagerungstemperatur	ta _{stg}	- 55	155 °C
Gesamtverlustleistung	Pv	-	1 W

Betriebsbedingungen

(alle Spannungen sind auf Uss = 0 V bezogen)

		min	typ	max
Betriebsspannung	Ucc	4,75	5,0	5,25 V
L-Eingangsspannung	UIL	- 0,5	-	0,8 V
H-Eingangsspannung	UIH	2,0	-	Ucc V
Umgebungstemperatur	ta	0	25	70 °C
Lastkapazität an allen Ausgängen	C _L	-	-	100 pF

Kennwerte (alle Spannungen sind auf Uss = 0 V bezogen;
 $ta = 0 \dots 70^\circ\text{C}$; Ucc = 5 V \pm 5 %)

		min	max
L-Ausgangsspannung	UCL	0	0,4 V
H-Ausgangsspannung	UOH	2,4	- V
Stromaufnahme	Icc	-	180 mA
Eingangsleckstrom	I _{LI}	-	10 μA
Eingangskapazität	C _I	-	10 pF
Zykluszeit (Master-Betrieb)	t _{C2}	-	2,5 μs
	t _{C3} (U 834 Cm)		1,8 μs
	t _{C4} (U 834 C1)		1,3 μs
Zeitsignal für Empfang (Master DATEIN)	t _{H1} 11	120 ¹⁾	- ns
		560 ¹⁾	- ns
ZS bis DAUS (Master-DATAUS)	t _{M0} 5	200 ¹⁾	- ns
	t _{M0} 6	560 ¹⁾	- ns
Zeitsignaldauer (Slave-DATAUS)	t _{S0} 18	120 ¹⁾	- ns
	t _{S0} 19	560 ¹⁾	- ns
ZS bis ANSYS (Slave-DATEIN)	t _{S1} 10	-25 ¹⁾	- ns
	t _{S1} 11	360 ¹⁾	- ns

¹⁾ durch Anfangseinstellung programmierbar