

Information



U 2164 C

1/85

vorläufige technische Daten

**Hersteller: VEB Zentrum für Forschung und Technologie
Mikroelektronik Dresden**

Dynamischer Schreib-Lese-Speicher

- dynamischer Schreib-Lese-Speicher mit wahlfreiem Zugriff (dRAM)
- Organisation 65536 x 1 Bit
- Herstellungstechnologie nMOS
- Eingang/Ausgang TTL-kompatibel
- Datenausgang gesteuert von /CAS (High Z)
- 128 Refreshzyklen, 2 ms Refreshzeit
- 16-poliges Keramik-Gehäuse
- Betriebsarten
READ, WRITE, READ-MODIFY-WRITE, PAGE-MODE, REFRESH
- 2 Selektionstypen

		U 2164 C 20	U 2164 C 25
Zugriffszeit	T_{RLOV}	= 200 ns	= 250 ns
	T_{CLOV}	= 110 ns	= 150 ns
Zykluszeit	T_{RLRL}	= 330 ns	= 460 ns

Abmessung

Bauform 21.2.11.2.16 TGL 26713

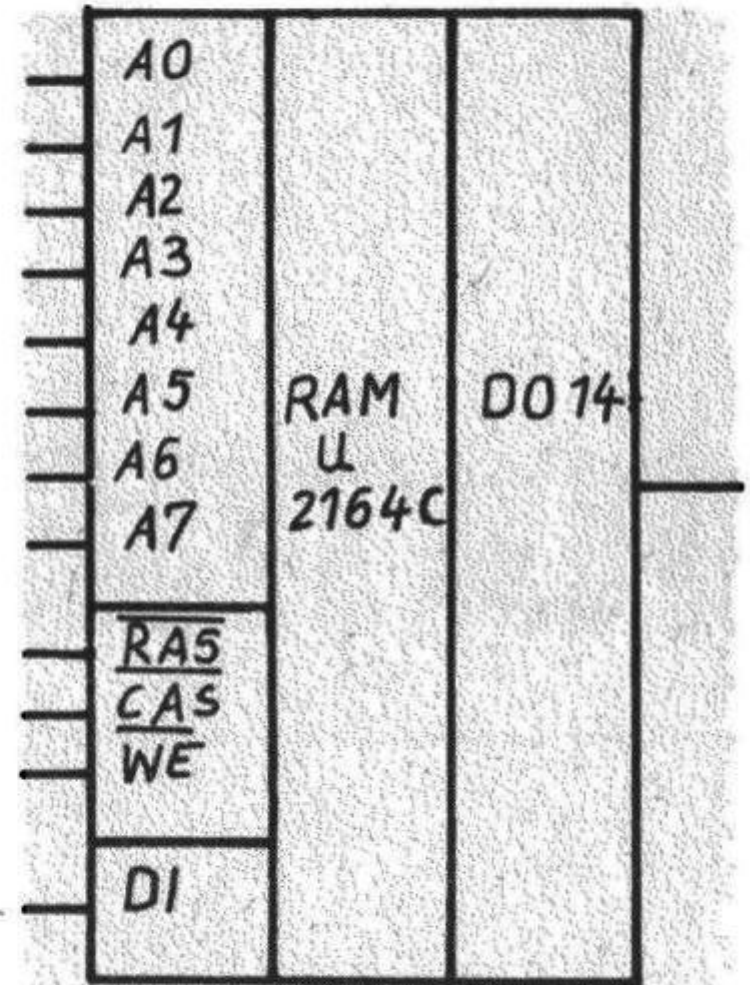
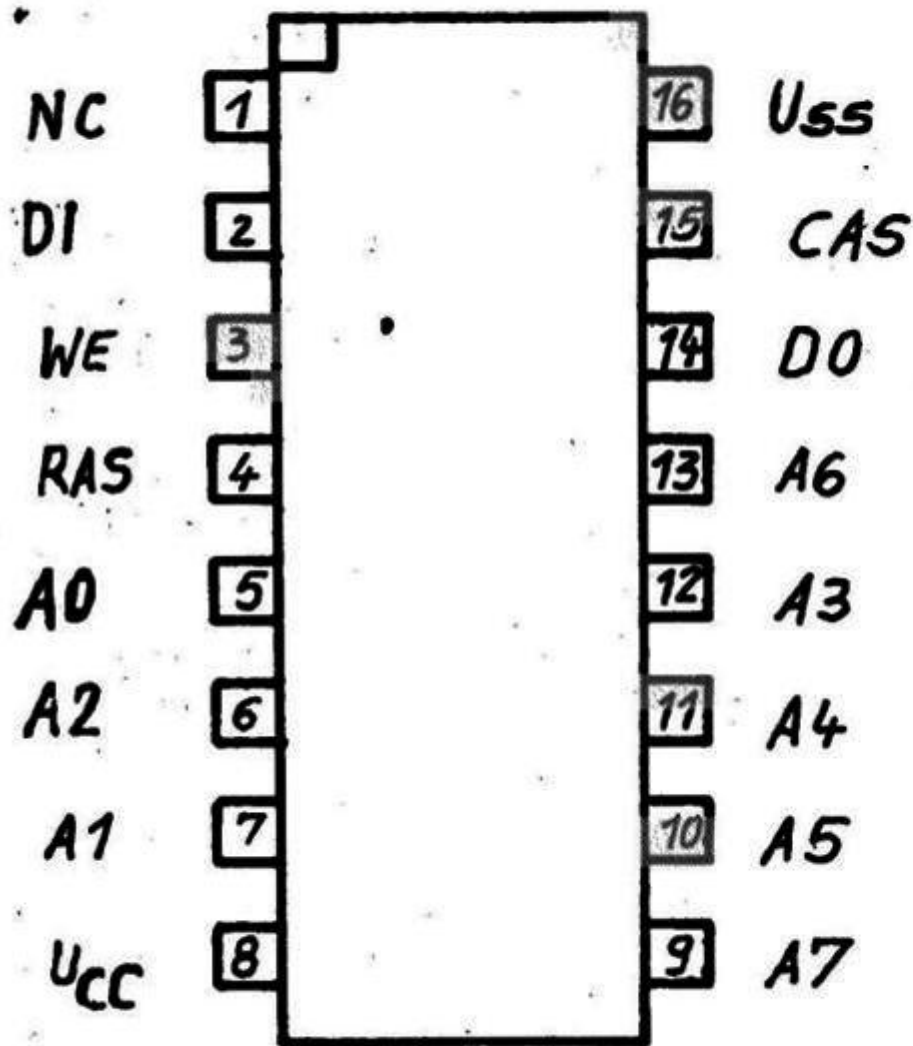


Bild 1: Anschlußbelegung (Ansicht von oben) und Schaltzeichen.
Markierung kennzeichnet Seite mit Pin 1.

NC	nicht angeschlossen
A0 ... A7	Adresseneingänge
$\overline{\text{CAS}}$	Spaltenadressensteuerung
$\overline{\text{RAS}}$	Zeilenadressensteuerung
DI	Dateneingang
DO	Datenausgang
$\overline{\text{WE}}$	Lese-Schreib-Steuerung
UCC	+ 5 V Betriebsspannungen
USS	(0V)

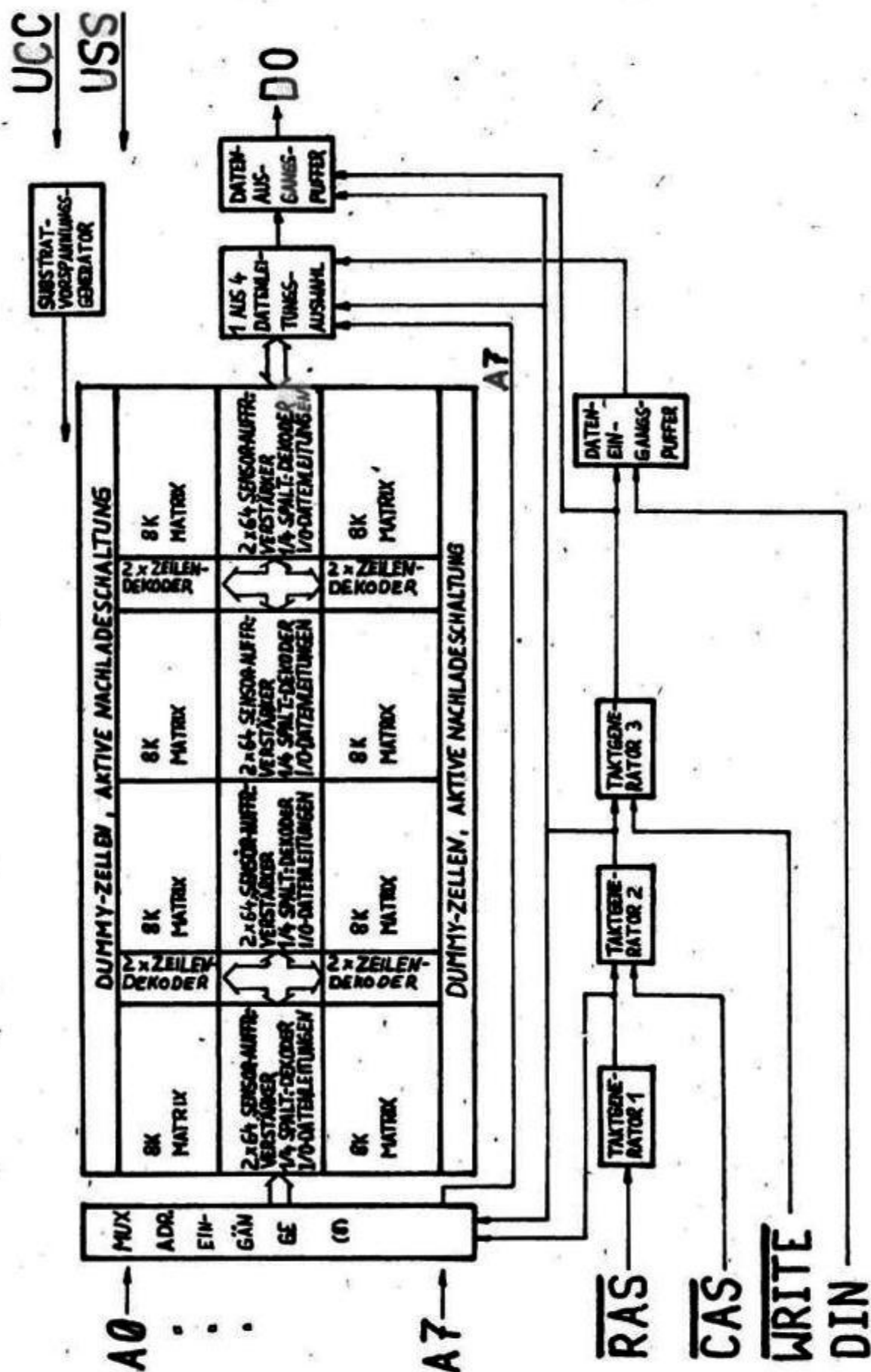


Bild 2: Blockschaltbild des U 2164 C

Funktionsweise

Adressierung

Die 16 Adressen, die zur Auswahl einer der 65'536 Speicherzellen erforderlich sind, werden zeitmultiplex über 8 Adresseneingänge A0 ... A7 in die internen Adressenspeicher übernommen. Das wird durch die zeitliche Folge zweier abfallender Flanken von Taktimpulsen mit TTL-Pegeln erreicht.

Der erste Taktimpuls, Row-Adress-Strobe ($\overline{RAS}$), übernimmt die Reihenadressen in das Chip. Der zweite Taktimpuls, Column-Adress-Strobe ($\overline{CAS}$), übernimmt danach die 8 Spaltenadressen in das Chip. Jedes dieser Signale $\overline{RAS}$ und $\overline{CAS}$ löst eine Folge von intern erzeugten Taktimpulsen aus.

Die beiden Taktketten sind logisch in der Weise gegeneinander verriegelt, daß die zeitmultiplexe Adressenübernahme außerhalb des kritischen Zeitweges für den Datenzugriff beim Lesen liegt. Die späteren Ereignisse in der $\overline{CAS}$ -gesteuerten Taktkette sind gesperrt, bis ein Signal ("GATED CAS") entsteht, das von der $\overline{RAS}$ -Taktkette abgeleitet ist. Dieses "GATED CAS" erlaubt, daß der $\overline{CAS}$ -Takt extern dann schon aktiviert werden darf, wenn die Zeilenadressen-haltezeit ($\overline{TRLZX}$) vergangen ist und die Adresseninformation von Zeile zu Spalte gewechselt hat.

Dateneingang und -ausgang

Die Daten, die in eine ausgewählte Zelle eingeschrieben werden sollen, werden bei einer Kombination der $\overline{WE}$ - und $\overline{CAS}$ -Signale in ein Dateneingangsregister übernommen, wenn $\overline{RAS}$ aktiv ist.

Das letzte der beiden Signale ($\overline{WE}$, $\overline{CAS}$) veranlaßt mit seiner abfallenden Flanke die Übernahme der Dateninformationen (DI) in das Dateneingangsregister, dadurch gibt es verschiedene Möglichkeiten der Schreibzyklus-Steuerung.

Bei einem Schreibzyklus, bei dem $\overline{WE}$ vor $\overline{CAS}$ aktiv (Low) wird, wird DI durch $\overline{CAS}$ übernommen. Die Dateneingangsvorhaltezeit ($\overline{TIVCL}$) und -haltezeit ($\overline{TCLIX}$) sind dann auf $\overline{CAS}$ zu beziehen.

Wenn die Eingangsdaten beim $\overline{CAS}$ -Übergang noch nicht verfügbar sind, oder wenn ein "READ-WRITE"-Zyklus gewünscht wird, muß das $\overline{WE}$ -Signal verzögert werden bis der $\overline{CAS}$ -Übergang erfolgt.

In diesem "DELAYED-WRITE"-Zyklus sind die o. g. Zeiten ($\overline{TIVWL}$ bzw. $\overline{TWLIX}$) auf $\overline{WE}$ zu beziehen (s. Zeitdiagramme für READ und READ-MODIFY-WRITE). Die Daten werden vom Speicher in Lesezyklen gehalten, wenn $\overline{WE}$ im inaktiven Zustand (High) ist, und zwar solange, wie $\overline{CAS}$ aktiv (Low) ist. Die auszulesenden Daten werden am Ausgang nach der angegebenen Zugriffszeit verfügbar.

Datenausgangssteuerung

Der normale Zustand des Datenausgangs (DO) ist der hochohmige Zustand. Immer wenn $\overline{CAS}$ inaktiv (High) ist, ist DO im hochohmigen Zustand. Der einzige Zeitpunkt, in dem der Ausgang eingeschaltet ist und die logische "0" oder "1" enthält, ist nach der Zugriffszeit bei einem Lesezyklus. DO ist dann gültig, bis $\overline{CAS}$ zurück in den inaktiven (High) Zustand geht.

Wenn der Speicherzyklus ein "READ-", "READ-MODIFY-WRITE"- oder ein "DELAYED-WRITE"-Zyklus ist, dann geht DO vom hochohmigen in den aktiven Zustand ("0" oder "1") über. Nach der Zugriffszeit steht der Inhalt der ausgewählten Zelle (nicht invertiert zum ehemaligen DI-Signal) zur Verfügung. Der Ausgang bleibt aktiv, bis $\overline{CAS}$ inaktiv (High) wird, unabhängig ob $\overline{RAS}$ inaktiv wird oder nicht.

Wenn der Speicherzyklus ein "WRITE"-Zyklus ist ($\overline{WE}$ aktiv, bevor $\overline{CAS}$ aktiv wird), dann behält der Datenausgang DO seinen hochohmigen Zustand während des gesamten Zyklus. Diese Konfiguration erlaubt dem Anwender volle Steuermöglichkeit von DO allein durch die Zeitsteuerung von $\overline{WE}$. Dadurch, daß der Ausgang die Daten speichert, bleiben die Daten von der Zugriffszeit an bis zum Beginn eines folgenden Zyklus ohne Nachteil für die Zugriffszeit (Ausdehnung) gültig.

"PAGE-MODE"

Die "PAGE-MODE"-Zyklen erlauben für aufeinanderfolgende Speicheroperationen für verschiedene Spaltenadressen bei der gleichen Zeilenadresse erhöhte Geschwindigkeit ohne Anwachsen der Verlustleistung. Das wird durch eine eingespeicherte Zeilenadresse und $\overline{RAS}$ aktiv (Low) während aller folgenden Speicherzyklen, die sich auf die gleiche Zeilenadresse bezieht, erreicht. Dieser "PAGE-MODE"-Zyklus spart die Verlustleistung ein, die mit dem $\overline{RAS}$ -Übergang verbunden ist. Die Zeit für die Übernahme weiterer Zeilenadressen wird dann eingespart. Deshalb sind Zugriffs- und Zykluszeit um diesen Betrag kleiner.

Auffrischen

Das Auffrischen der Daten in der Speichermatrix mit dynamischen Zellen wird ausgeführt, indem ein Speicherzyklus für jede der 128 (A0 ... A6) Zeilenadressen in dem Zeitintervall von 2 ms ausgeführt wird.

Neben den normalen Speicherzyklen ist das mittels "RAS-ONLY-REFRESH"-Zyklen vorteilhaft möglich. Damit ergibt sich eine erheblich niedrigere Verlustleistung; ausgedrückt wird das durch den kleineren Wert IDD 3.

Einschalten der Betriebsspannungen

Solange eine beliebige Eingangsspannung nicht negativer als - 0,3 V ist, wird keine bestimmte Reihenfolge der Signale vorgeschrieben. Eingangsspannungen negativer als - 0,3 V dürfen an den Eingangsanschlüssen erst 1 ms nach dem Anlegen der Betriebsspannung auftreten.

Wenn im Fehlerfalle die Versorgungsspannung die angegebene Grenze überschreitet, sind zur Vermeidung von Ausfällen die Signale $\overline{RAS}$ und $\overline{CAS}$ in den inaktiven Zustand zu steuern.

Nachdem die Betriebsspannungen anliegen, benötigt der Speicher mindestens 8 Zyklen, die Auffrischen enthalten, um seinen normalen Betrieb zu gewährleisten.

Zeitdiagramme

Verwendete Symbole:

Signale

Z - Zeilenadresse
S - Spaltenadresse
R - RAS
C - CAS
W - WRITE

Flanken *

H - Signal nach High
L - Signal nach Low
V - Signal wird gültig
X - Signal wird ungültig
Z - Signal wird hochohmig

* Die Indices H bzw. L definieren die Art der Flanke (fallend/ steigend), die für die reale Funktion des Schaltkreises erforderliche Zeitbedingung (Beginn/Ende der Flanke) ist dem entsprechenden Taktdiagramm zu entnehmen.

Technische Daten

Alle Spannungen sind U_{SS} (Masse) bezogen.

Die Behandlungsvorschriften für MOS-Bauelemente sind einzuhalten.

Grenzwerte

Kenngröße	Kurz- zeichen	U 2164 C 20/U 2164 C 25 min.	max.	Einheit
Spannung an allen Eingängen	U_I	- 2,0	7,0	V
Ausgangsspannung	U_O	- 2,0	7,0	V
Betriebsspannung	U_{DD}	- 0,5	7,0	V
Umgebungstemperatur	ϑ_a	0	70	°C
Lagertemperatur	ϑ_s	- 65	150	°C
Verlustleistung	P_V		1	W

In nachfolgenden Tabellen gelten diese Bedingungen:

- 1) Die Eingangs-Low-Spannung darf nicht länger als 40 ns negativer als - 0,3 V sein.
- 2) $U_{IH \min}$ und $U_{IL \max}$ sind Bezugspunkte für die Zeitmessung der Eingangssignale, Übergangszeiten werden zwischen U_{IH} und U_{IL} gemessen.
- 3) Betrieb innerhalb T_{RLCL} sichert, daß $T_{RLOV \max}$ eingehalten wird ($T_{RLCL \max}$ ist nur als Bezugspunkt angegeben). Wenn $T_{RLCL} = T_{RLCL \max}$, dann wird die Zugriffszeit T_{RLOV} verlängert.
- 4) T_{WLVL} , T_{RLWL} und T_{CLWL} sind keine einschränkenden Betriebsparameter; wenn $T_{WLCL} \geq T_{WLCL \min}$, ist der Zyklus ein EARLY-WRITE-Zyklus und der Datenausgang bleibt hochohmig während des gesamten $\overline{CAS}$ -Zyklus.
Wenn $T_{CLWL} \geq T_{CLWL \min}$ und $T_{RLWL} \geq T_{RLWL \min}$, ist der Zyklus ein READ-WRITE-Zyklus und der Datenausgang gibt die Information der gelesenen Zelle ab. Wenn keine dieser Bedingungen erfüllt ist, ist der Zustand des Datenausgangs (zur Zugriffszeit) unbestimmt.
- 5) Diese Parameter beziehen sich auf $\overline{CAS}$ in EARLY-WRITE- und auf $\overline{WE}$ in DELAYED-WRITE- bzw. READ-MODIFY-WRITE-Zyklen.
- 6) Der Ausgang ist abgeschaltet (hochohmig), $\overline{RAS}$ und $\overline{CAS}$ sind High (logisch "1").
- 7) Annahme, daß $T_{RLCL} \leq T_{RLCL \max}$
- 8) Gemessen mit 2 TTL-Lasten, 100 pF
- 9) $T_{CHO \max}$ definiert die Zeit, zu welcher der Datenausgang hochohmig wird; diese Zeit ist nicht auf einen Pegel bezogen.

BetriebsbedingungenDie Zeitmessung erfolgt mit $t_T = 5 \text{ ns}$

Kenngröße	Kurz- zeichen	U 2164 C 20 min.	max.	U 2164 C 25 min.	max.	Bin- heit	Bedingung
Betriebsspannung	U_{DD}	4,5	5,5	4,75	5,25	V	
Eingang-High-Spann.	U_{IH}	2,4	5,5	2,4	5,5	V	
Eingangs-Low-Spann.	U_{IL}	- 2,0	0,8	- 2,0	0,8	V	1)
Übergangszeit (Anstieg/Abfall)	t_T	3	50	3	50	ns	2)
$\overline{RAS}$ -Vorladezeit	T_{RHRL}	120		200		ns	
$\overline{RAS}$ -Haltezeit	$T_{CLR H}$	110		150		ns	
$\overline{CAS}$ -Haltezeit	T_{RLCH}	200		250		ns	
$\overline{RAS}$ - $\overline{CAS}$ -Verzögerungsz.	T_{RLCL}	45	90	75	100	ns	3)
$\overline{CAS}$ -Vorladezeit	T_{CHCL}	45		90		ns	
$\overline{CAS}$ - $\overline{RAS}$ -Vorladezeit	T_{CHRL}	- 20		- 20		ns	
Zeilenadressenvor- haltezeit	T_{ZVRL}	0		0		ns	
Zeilenadressen- haltezeit	T_{RLZX}	30		45		ns	
Spaltenadressenvor- haltezeit	T_{SVCL}	0		0		ns	
Spaltenadressen- haltezeit	$T_{CLS X}$	45		60		ns	
Spaltenadressenhalte- zeit von $\overline{RAS}$ an	$T_{RLS X}$	135		160		ns	
Refresh-Periode	t_{REF}		2		2	ms	

READ/WRITE-Zyklus

Zykluszeit	T_{RLRL}	330		460		ns	
$\overline{RAS}$ -Impulsbreite	T_{RLRH}	200	10000	250	10000	ns	
$\overline{CAS}$ -Impulsbreite	T_{CLCH}	110	10000	150	10000	ns	
Lesekommandovorhalte- zeit	T_{WHCL}	0		0		ns	
Lesekommandohaltezeit	T_{RHWL}	0		0		ns	
$\overline{WE}$ -Vorhaltezeit	T_{WLCL}	0		0		ns	4)
$\overline{WE}$ -Haltezeit	T_{CLWH}	40		50		ns	
$\overline{WE}$ -Haltezeit von $\overline{RAS}$ an	T_{RLWH}	130		150		ns	
$\overline{WE}$ -Impulsbreite	T_{WLWH}	45		50		ns	
$\overline{WE}$ - $\overline{RAS}$ -Vorhaltezeit	T_{WLRH}	55		60		ns	

Fortsetzung.

$\overline{WE}$ -CAS-Vorhaltezeit	T_{WLCH}	55	60	ns	
Dateneingangsvorhaltezeit	T_{IVCL} T_{IVWL}	0	0	ns	5)
Dateneingangshaltezeit	T_{CLIX} T_{WLIX}	45	60	ns	5)
Dateneingangshaltezeit von $\overline{RAS}$ an	T_{RLIX}	135	160	ns	

READ-MODIFY-WRITE-Zyklus

Kenngröße	Kurzzeichen	U 2164 min.	C 20 max.	U 2164 min.	C 25 max.	Einheit	Bedingung
RW-Zykluszeit bei RMW	T_{RLRL}	375		495		ns	
$\overline{RAS}$ -Impulsbreite bei RMW	T_{RLRH}	230	10000	285	10000	ns	
$\overline{CAS}$ -Impulsbreite bei RMW	T_{CLCH}	140	10000	185	10000	ns	
$\overline{RAS}$ - $\overline{WE}$ -Verzögerungszeit	T_{RLWL}	175		220		ns	4)
$\overline{CAS}$ - $\overline{WE}$ -Verzögerungszeit	T_{CLWL}	85		120		ns	4)

PAGE-MODE-Zyklus

Kenngröße	Kurzzeichen	U 2164 min.	C 20 max.	U 2164 min.	C 25 max.	Einheit	Bedingung
RW-Zykluszeit im PGM	T_{CLCL}	200		280		ns	
RMW-Zykluszeit im PGM	T_{CLCL}	240		325		ns	
$\overline{CAS}$ -Vorladezeit im PGM	T_{CHCL}	80		120		ns	
$\overline{RAS}$ -Impulsbreite im PGM	T_{RLRH}	200	10000	300	10000	ns	
$\overline{CAS}$ -Impulsbreite im PGM	T_{CLCH}	110	10000	150	10000	ns	
Lesekommandohaltezeit im PGM	T_{CHWL}	0		0		ns	

Kennwerte

Die Kennwerte werden für die angegebenen Betriebsbedingungen garantiert, wenn nicht anders angegeben. Alle Spannungen sind auf U_{SS} (Masse) bezogen. Die Ströme $I_{DD1} \dots I_{DD4}$ wurden bei 25°C gemessen.

Kenngröße	Kurz- zeichen	U 2164 C 20 min.	U 2164 C 25 max.	Einheit	Bedingung
Betriebsstrom (mittlerer Wert bei $\overline{\text{RAS-CAS}}$ -Zyklen)	I_{DD1}	55	55	mA	$I_{RLRL} = I_{RLRL} \text{ min}$
Ruhestrom	I_{DD2}	5	5	mA	$\overline{\text{RAS}} = U_{IH}; \text{DO}=\text{High Z}$
Refresh-Strom (mittlerer Wert)	I_{DD3}	40	40	mA	$\overline{\text{CAS}} = U_{IH}$ $T_{RLRL} = T_{RLRL} \text{ min}$
PAGE-MODE-Strom (mittlerer Wert)	I_{DD4}	40	40	mA	$\overline{\text{RAS}} = U_{IL}$ $I_{CLCL} = T_{CLCL} \text{ min}$
Eingangsleckstrom (beliebiger Eingang, alle anderen Pins: 0 V)	I_I	- 10	- 10	10	μA $U_I: 0 \text{ V bis } 5,5 \text{ V}$
Ausgangsleckstrom (DO = High Z)	I_O	- 10	- 10	10	μA $U_O: 0 \text{ V bis } 5,5 \text{ V (6)}$
Ausgangspegel High	U_{OH}	2,4	2,4	V	$I_{out} = - 4 \text{ mA}$
Ausgangspegel Low	U_{OL}	0,4	0,4	V	$I_{out} = 4 \text{ mA}$
$\overline{\text{RAS}}$ -Zugriffszeit	T_{RLOV}	200	250	ns	7)
$\overline{\text{CAS}}$ -Zugriffszeit	T_{CLOV}	110	150	ns	8)
Ausgangsabschaltzeit	T_{CHOX}	0	0	50	ns 0,5 V über Low, 9) 0,5 V unter High $\phi_a = 25^{\circ}\text{C}$
Eingangskapazität (AO ... A7, DI)	C_I	6	6	pF	$\phi_a = 25^{\circ}\text{C}$
Eingangskapazität ($\overline{\text{RAS}}, \overline{\text{CAS}}, \overline{\text{WE}}$)	C_I	8	8	pF	$\phi_a = 25^{\circ}\text{C}$
Ausgangskapazität	C_O	7	7	pF	$\overline{\text{CAS}} = U_{IH}$

