



ZEISS

Schaltkreis

U 2148 D

Vergleichstyp
2148 H (U 2148 D 70)
2148 H - 3 (U 2148 D 55)

1/88 (12)

Hersteller: VEB Forschungszentrum Mikroelektronik Dresden
Betrieb des Kombirates VEB Carl Zeiss JENA

Statischer Schreib-/Lese-Speicher mit wahlfreiem Zugriff (sRAM)

- Speicherkapazität 4096 Bit
- Organisation 1 K x 4 Bit
- Typspektrum U 2148 D 55 (Grundtyp)
U 2148 D 70 (Anfalltyp)
- Zugriffszeit max. 70 ns (für U 2148 D 70)
max. 55 ns (für U 2148 D 55)
- Betriebsspannung + 5 V $\pm$ 5 %
- gemeinsame (bidirektionale) Datenein-/ausgänge
- Tri-state -Ausgangsstufen
- TTL-Kompatibilität für alle Anschlüsse
- 18-poliges DIL-Gehäuse (Plastgehäuse)
- Umgebungstemperatur 0 ... 70 °C
- integrierte Schutzschaltungen an allen Eingängen
- nSGT-Herstellungstechnologie

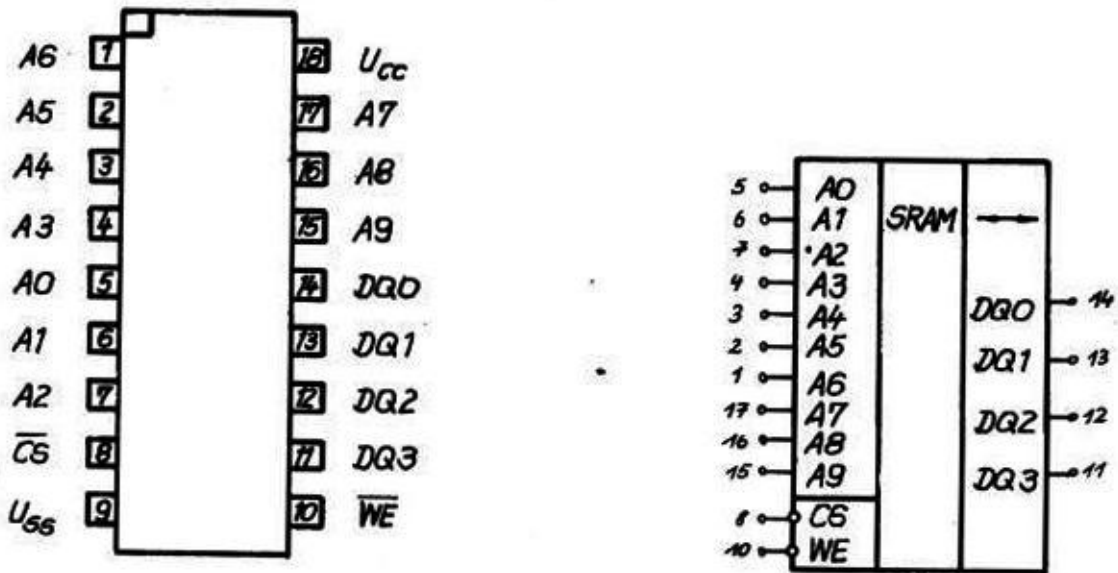


Bild 1: Anschlußbelegung und Schaltzeichen

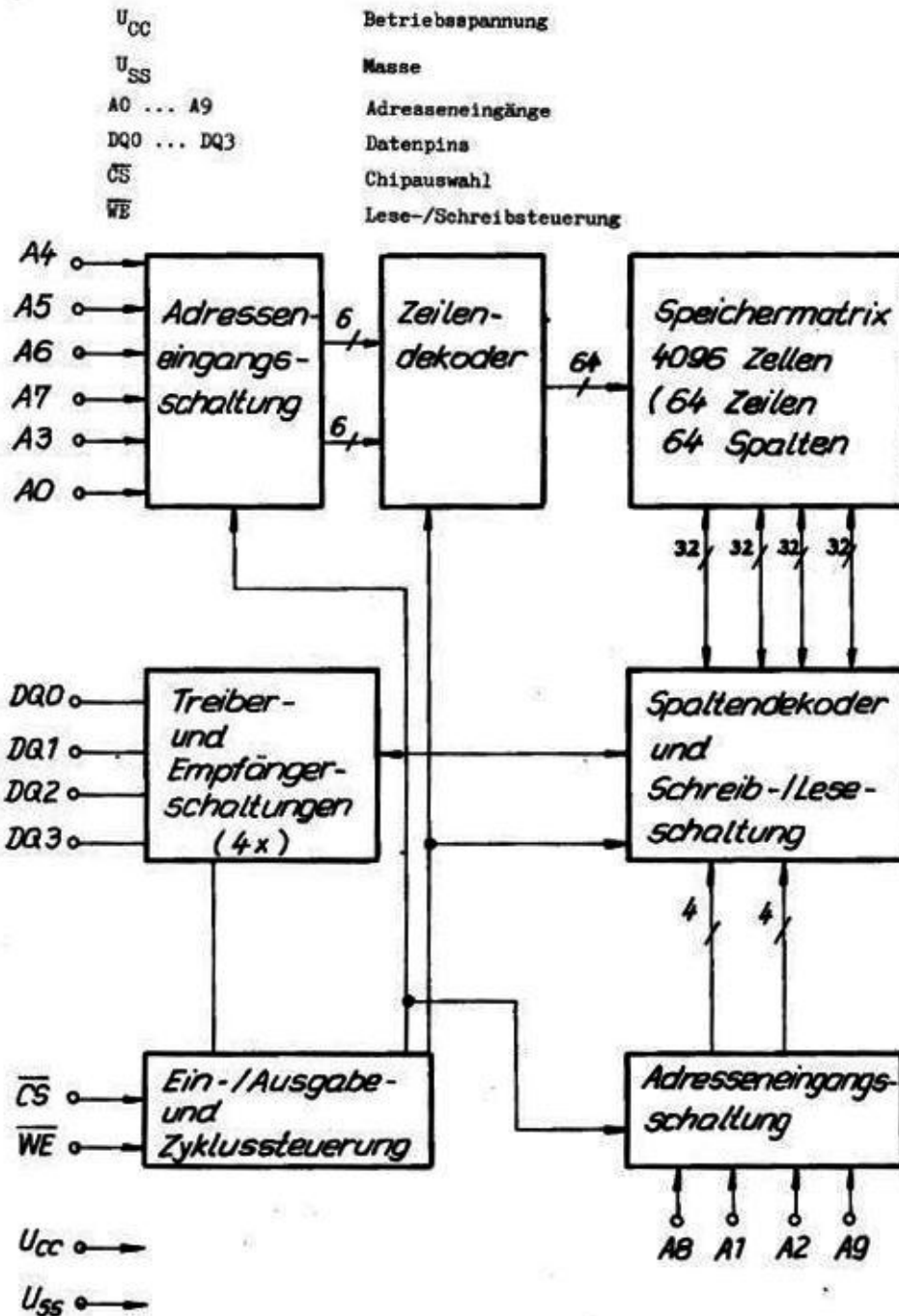


Bild 2: Blockschaltbild

Funktionsbeschreibung

Der U 2148 D besteht aus folgenden Teilschaltungen:

- Speichermatrix mit 64 Zeilen und 64 Spalten (4096 Bit)
- Adresseneingangsschaltung für 10 Adressen
- Spaltendekoder
- Zeilendekoder
- bidirektionale Datenein-/ausgabe und Zyklussteuerung
- Treiber- und Empfängerschaltung

Die Aktivierung des U 2148 D erfolgt mittels des $\overline{CS}$ -Signales ($\overline{CS}$ =LOW); im Ruhestand ($\overline{CS}$ =HIGH) erfolgt schaltkreisintern eine Reduzierung der Stromaufnahme auf ca. 30 % des Betriebsstromes.

Der U 2148 D kann in folgenden Betriebsarten arbeiten:

Schreibzyklus

Lesezyklus.

Die Betriebsart "Schreiben" ist durch $\overline{CS}=\overline{WE}$ =LOW gekennzeichnet; die an den Datenanschluß DQ0 bis DQ3 anliegenden Daten, werden gemäß Impulsdigramm "Schreibzyklus", in die adressierten Speicherzellen eingeschrieben.

Bei der Betriebsart "Lesen", gekennzeichnet durch $\overline{CS}$ =LOW und $\overline{WE}$ =HIGH, liegen die Daten der durch den Adreßanschluß A0 bis A9 adressierten Speicherzellen der Matrix nach Ablauf der Zugriffszeit gültig an den Datenausgängen DQ0 bis DQ3 an.

Funktion	$\overline{CS}$	$\overline{WE}$	DQ0 bis DQ3
Ruhezustand	H	beliebig	Ausgang hochohmig (Tri-state), Eingänge gesperrt
Schreiben	L	L	Ausgang hochohmig, Eingänge aktiv
Lesen	L	H	Eingänge gesperrt, am Ausgang steht Inhalt der ausgewählten Speicherzellen zur Verfügung

Technische Daten

Alle Spannungen sind auf $U_{SS} = 0 \text{ V}$ bezogen

Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	0	7	V
Spannung an allen Anschlüssen	U_G	-1,5	7	V
Verlustleistung	P_V	-	1,2	W
Ausgangsdauerstrom	I_{DS}	-	10	mA
Umgebungstemperatur	ϑ_a	0	70	°C
Lagertemperatur	ϑ_{stg}	-55	125	°C

Betriebsbedingungen

Statische Bedingungen

	Kurzzeichen	min.	typ.	max.	Einheit
Betriebsspannung	U_{CC}	4,75	5,0	5,25	V
L-Eingangsspannung	U_{IL}	-1,0	0,05	0,8	V
H-Eingangsspannung	U_{IH}	2,2	3,4	5,5	V
Umgebungstemperatur	ϑ_a	0	25	70	°C

Dynamische Bedingungen

	Kurzzeichen	U 2148 D 55 min.	U 2148 D 70 min.	Einheit
$\overline{CS}$ -Impulsdauer	t_{CLCH}	55	70	ns
Adressenzykluszeit	t_{AVAX}	55	70	ns
Adressenvorhaltezeit	t_{AVWL}	0	0	ns
Adreßhaltezeit	t_{WHAX}	5	5	ns
$\overline{WE}$ -Impulsdauer	t_{WLWH}	40	50	ns
$\overline{WE}$ -Impulsvorhaltezeit	t_{WLCH}	40	50	ns
$\overline{WE}$ -Impulshaltezeit	t_{CLWH}	50	65	ns
Datenvorhaltezeit	t_{DVHW}	20	25	ns
Datenhaltezeit	t_{WHDX}	0	0	ns
Ausgangsinformation gültig nach Adreß- wechsel	t_{AXQV}	0	0	ns
Verzögerungszeit ($\overline{CS}$ -LOW-Ausgang aktiv)	t_{CLQX}	0	0	ns

Statische Kennwerte

	Kurzzeichen	min.	typ.	max.	Einheit
Betriebsstrom $U_{CC} = 5 \text{ V}$, Ausgänge offen, $\overline{CS}$ -LOW, $\vartheta_a = 25^\circ \text{C}$	I_{CC}	-	110	150	mA
Ruhestrom $U_{CC} = 5 \text{ V}$, Ausgänge offen, $\overline{CS}$ -HIGH, $\vartheta_a = 25^\circ \text{C}$	I_{CCR}	-	29	50	mA
Eingangsleckstrom $U_{CC} = 5,25 \text{ V}$	$/I_{IL}/$	-		10	μA
Ausgangsleckstrom	$/I_{OL}/$	-		50	μA
L-Ausgangsspannung $I_{OL} = 8 \text{ mA}$	U_{OL}	-		0,4	V
H-Ausgangsspannung $I_{OH} = -4 \text{ mA}$	U_{OH}	2,0		-	V
Ein-/Ausgangs- kapazität $U_I = U_{SS}$ $U_O = U_{SS}$ $\vartheta_a = 25^\circ \text{C}$	C_{IO}	-		7	pF

Dynamische Kennwerte

	Kurzzeichen	U 2148 D 55			U 2148 D 70			Einheit
		min.	typ.	max.	min.	typ.	max.	
$\overline{CS}$ -Zugriffszeit $U_{CC} = 5 \text{ V},$ $C_L = 50 \text{ pF}$	t_{CLQV}	-	42	55	-	53	70	ns
Adreß-Zugriffszeit $U_{CC} = 5 \text{ V},$ $C_L = 50 \text{ pF}$	t_{AVQV}	-		55	-		70	ns
Verzögerungszeit $\overline{CS}$ -Ausgang hochohmig $U_{CC} = 5 \text{ V},$ $C_L = 5 \text{ pF},$ $\theta_a = 25^\circ \text{C}$	t_{CHQZ}	0		20	0		20	ns
Verzögerungszeit $\overline{WE}$ -Ausgang hochohmig $U_{CC} = 5 \text{ V},$ $C_L = 5 \text{ pF},$ $\theta_a = 25^\circ \text{C}$	t_{WLQZ}	0		20	0		25	ns
Verzögerungszeit $\overline{WE}$ -Ausgang aktiv $U_{CC} = 5 \text{ V},$ $C_L = 5 \text{ pF},$ $\theta_a = 25^\circ \text{C}$	t_{WHQX}	0	11	-	0	11	-	ns

Den angegebenen Zeiten liegt folgende Beschaltung der Datenausgänge DQ1 zugrunde.

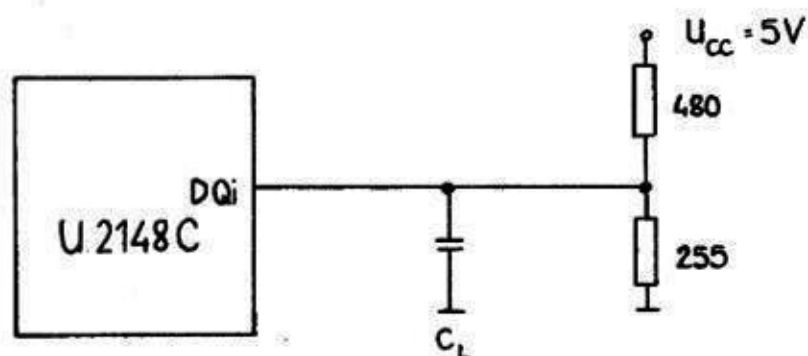


Bild 3: Beschaltung der Datenausgänge

Die Lastkapazität beträgt $C_L = 50 \text{ pF}$ (für $\overline{CS}$ - und Adreßzugriffszeiten) bzw. $C_L = 5 \text{ pF}$ (für alle übrigen dynamischen Kennwerte).

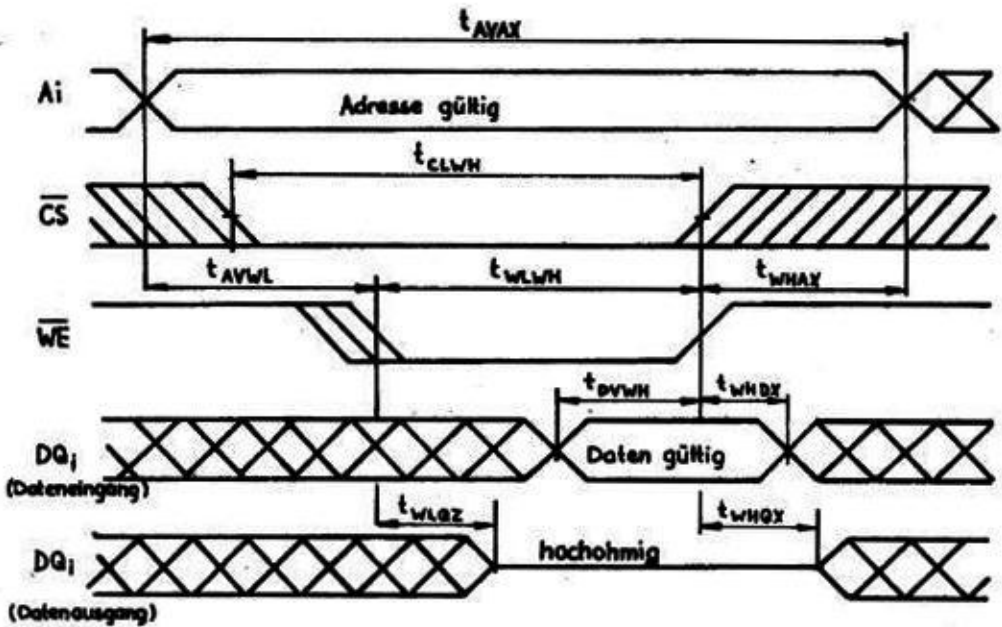


Bild 4: $\overline{WE}$ -gesteuerter Schreibzyklus (Beendigung durch L/H-Flanke von $\overline{WE}$)

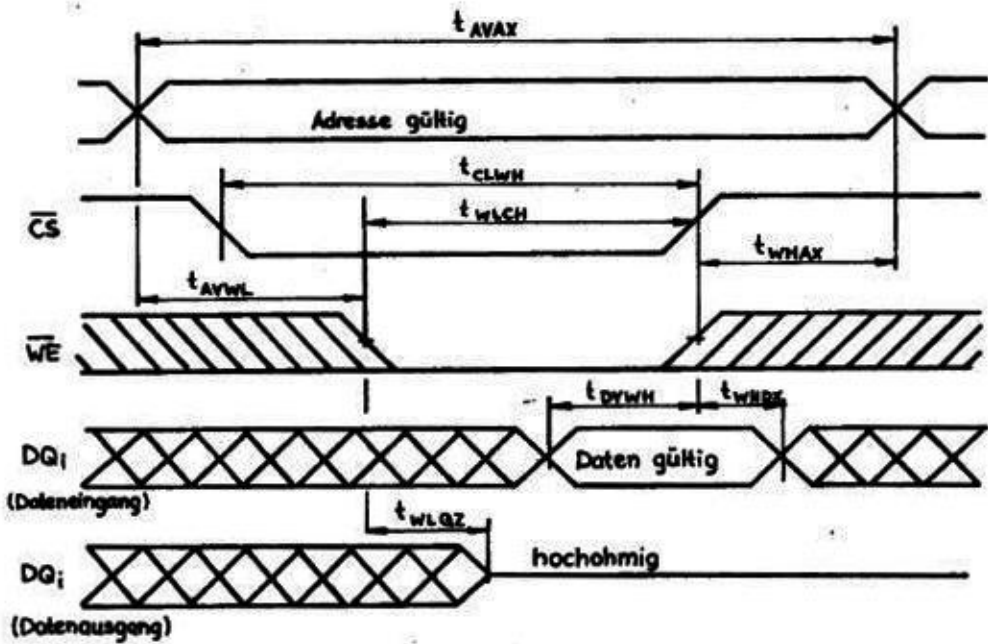


Bild 5: $\overline{CS}$ -gesteuerter Schreibzyklus (Beendigung durch L/H-Flanke von $\overline{CS}$)

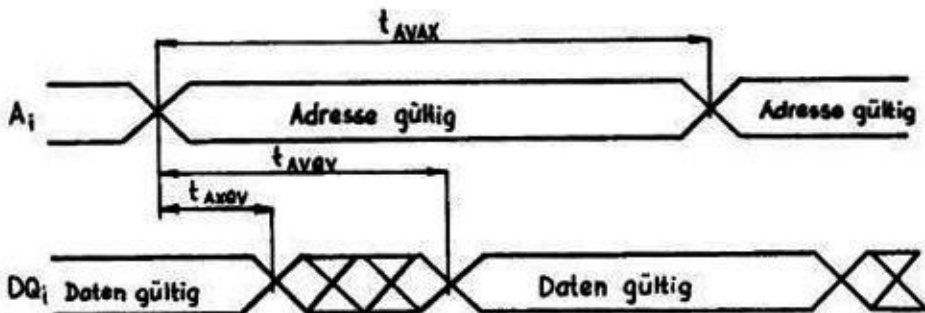


Bild 6: Lesezyklus 1 ($\overline{CS} = \text{LOW}$, $\overline{WE} = \text{HIGH}$)

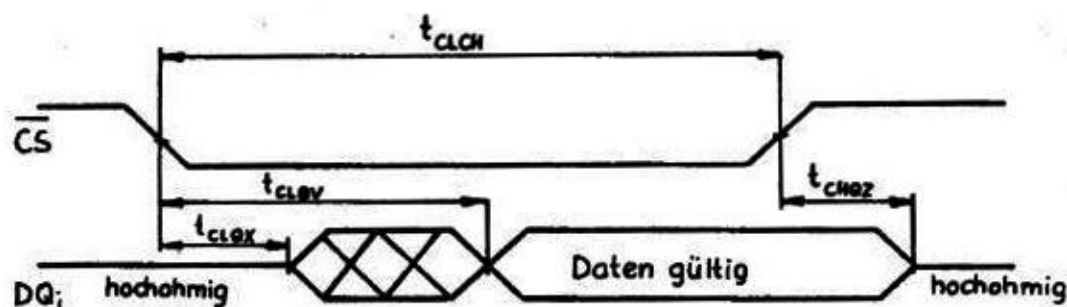


Bild 7: Lesezyklus 2 ($\overline{WE}$ = HIGH; Adresse liegt über gesamten Lesezyklus stabil an)

Applikative Hinweise

Der U 2148 D 70 und U 2148 D 55 sind schnelle vollstatische Schreib-/Lese-Speicher.

Bedingt durch ihre geringe Zugriffszeit sind sie nicht nur in der Rechentechnik, sondern auch für spezielle Gebiete der Meßtechnik (z. B. Meßwertspeicher, Transientenspeicher) gut einsetzbar.

Die TTL-Kompatibilität aller Anschlüsse sowie die Möglichkeit der Ausgangstrennung (Tri-state) gestatten einen systemfreundlichen Einsatz der U 2148 D-Typen, d. h. Ansteuerung durch Schaltkreise der D-, DL- und DS-Logikreihen, Verwendung in Tri-state-Bussystemen.

Die genannten Typen sind direkt (d. h. ohne $\overline{WAIT}$ -Zyklus) mit dem gesamten in der DDR zugelassenen CPU-Sortiment betreibbar.

Bedingt durch die sehr geringen Zugriffszeiten des D 2148 D ergeben sich für die Systemarbeit (Schaltungs- und Leiterkartenentwurf) bestimmte Forderungen /1/:

- Die Betriebsspannungs- und Masseleitungen der U 2148 D-Speicherkonfiguration sind gitterförmig bzw. als getrennte Kupferflächen (d. h. Mehrebenen-Leiterkarten) auszuführen.
- Die sRAM-Schaltkreise sowie periphere Ansteuerlogik soll eine gemeinsame Massefläche haben (d. h. Vermeidung von Erdschleifen).
- Unmittelbar an jeden sRAM-Schaltkreis ist ein Stützkondensator von 47 nF bis 100 nF (Keramik-kondensator) anzuordnen.
- Es wird empfohlen, unmittelbar am Steckverbinder zwischen dem Betriebsspannungs- und Masseanschluß einen Kondensator von 22 μ F bis 47 μ F anzubringen (ggf. sogar einen Tiefpaß).
- Zur Vermeidung von Reflexionen auf den signalführenden Leiterbahnen (diese stellen hier teilweise nicht abgeschlossene Übertragungsleitungen dar) sollten zwischen den DS-Treibern und den Speichern Längswiderstände vorgesehen werden (Anschlußwiderstände). Die Widerstände liegen in der Größenordnung 30 Ohm bis 50 Ohm (der optimale Wert muß experimentell ermittelt werden) und sind so nahe wie möglich an den Speicherschaltkreisen anzuordnen.

Literatur

- /1/ Richtige Anwendung eines schnellen RAM
Zeitschrift Elektronik Applikation, 13 (1981) 11

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.



Herausgeber:

vab applikationszentrum elektronik berlin
im vab kombiniert mikroelektronik

Mainzer Straße 25

Berlin 1035

Telefon: 5 80 05 21, Telex: 011 2981; 011 3055