

Information



256 x 1 statischer CMOS-RAM K 561 RU 2

1/87 (10)

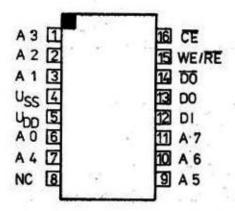
Nicht für Geräteneuentwicklungen (siehe 3. Umschlegseite)

Herstellerland: Ud SSR

Übersetzung, bearb.

Der K 561 RU 2 ist ein statischer RAM in der Organisation 256 x 1 bit in CMOS-Technologie. Der Schaltkreis wird in einem 16poligen Plastgehäuse im 2,5 mm-Raster und mit 7,5 mm Reihen-abstand geliefert.

Der Schaltkreis ist für den Einsatz in verschiedenen EDVA-Systemen, Mikrorechnern und Automatigierungseinrichtungen bestimmt.



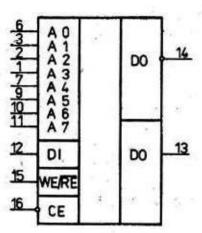


Bild 1: Anschlußbelegung und Schaltungskurzzeichen

Bezeichnung der Anschlüsse:

1	A 3	Adresseneingang	9	A 5	Adresseneingang
2	A 2	Adresseneingang	10	A 6	Adresseneingang
3	A 1	Adresseneingang	11	A 7	Adresseneingang
4	USS	Bezugspotential	12	DI	Informationseingang
5	UDD	Betriebsspannung	13	DO	Datenausgang
6	AO	Adresseneingang	- 14	DO	Datenausgang, invertiert
7	A 4	Adresseneingang	15	WE/RE	Eingangssignal Schreiben/Lesen
8	NC	nicht angeschlossen	16	CE	Preigabesignal (Chip enable)

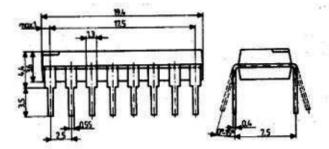


Bild 2: Gehäuseabmessungen

Kurzbeschreibung

- 256 x 1 bit statischer RAM
- CMOS-Technologie
- Betriebsspannungsbereich: 6 ... 12 V
- statische Betriebsweise, daher kein Auffrischen der Information
- zerstörungsfreies Lesen
- einfache Kapazitätserweiterung durch Speicherfreigabe CE
- getrennter Datenein- und -ausgang
- 16poliges DIL-Plastgehäuse
- 'Adressenzugriffszeit: $t_{RCY} = t_{WCY} = 800 \text{ ns bei } U_{DD} = 8,55 \text{ V (K 561 RU 2 A)}$ $t_{RCY} = t_{WCY} = 1300 \text{ ns bei } U_{DD} = 8,55 \text{ V (K 561 RU 2 B)}$

Betriebsart	Eingänge			Ausgänge		
AND	WE/RE	CE	DI	DO	ळ	
*	Pin 15	16	12	13	14	
Schaltkreis nicht ausgewählt	beliebig	1	beliebig	hochohmig	hochohmig	
Lesen	0	0	beliebig	Q	Q	
Schreiben "O"	1	0	0	hochohmig	hochohmig	
Schreiben "1"	1	0	1	hochohmig	hochohmis	

Tabelle: Wahrheitstabelle K 561 RU 2

Beschreibung

Der K 561 RU 2 ist ein statischer, 256 x 1 bit organisierter RAM in CMOS-Technologie. Er wird in einem 16poligen DIL-Plastgehäuse geliefert. Der Betriebsspannungsbereich beträgt 6 ... 12 V. Der Eingang CE erlaubt die Auswahl eines bestimmten Speicherschaltkreises bei der Zusammenschaltung. Eine Erweiterung des Speichers durch Wired-OR-Schaltung wird durch den tristate-Ausgang (Low, High, hochohmig) ermöglicht.

Das Blockschaltbild (Bild 3) zeigt den inneren Aufbau des Schaltkreises. Über die Steuereingänge CE und WE/RE erfolgt durch die Steuereinheit die Aktivierung und die Einstellung der Betriebsart des Schaltkreises. Über die Adresseneingänge A 0 ... A 7 wird über Zeilenund Spaltendekoder die ausgweählte Speicherzelle der Speichermatrix angewählt. Je nach Betriebsart wird durch die Steuereinheit die Ausgangseinheit oder die Dateneingangseinheit aktiviert.

Beim K 561 RU 2 sind folgende Betriebszustände zu unterscheiden:

Ruhezustand

Im Ruhezustand (\overline{CE} = H) ist die Datenein- und -ausgabe gesperrt. Die Ausgänge DO und \overline{DO} sind hochohmig. In diesem Zustand hat der Schaltkreis die geringste Stromaufnahme.

Lesen

Beim Lesen ($\overline{\text{CE}} = \text{L}$; WE/ $\overline{\text{RE}} = \text{L}$) ist die Information der angewählten Speicherzelle nach Ablauf der Zugriffszeit t_{RCY} verfügbar. Die Information wird an DO bzw. invertiert an $\overline{\text{DO}}$ ausgegeben.

Schreiben

Beim Schreiben ($\overline{CE} = L$; WE/ $\overline{RE} = H$) wird die Information 1 oder 0 von DI in die ausgewählte Speicherzelle eingeschrieben. Dabei sind die Ausgänge DO und \overline{DO} hochohmig.

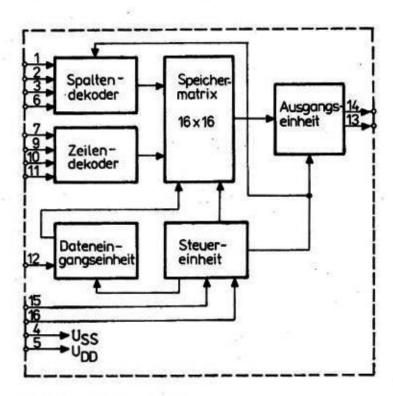


Bild 3: Blockschaltbild

Kennwert	Kurs- seichen	Meßbedingungen	min.	max.	Binheit
Betriebsspannung	UDD	20	-0,5	12	V
Eingangsspannung	UI	100	-0,2	UDD + 0,2	v
Ausgengsstrom	IDOT;	1962	k:	10	mA
Verlustleistung	P _{DDD}	UDD = 9 V; 8 = 85 °C		150	mW
Flankensteilheit der Signale	tIH;			1	/us
	tHL C-	UDD = 10 V; f = 1 MHz	18	500	p.F
Lagerungstemperatur- bereich	°L Vetg	30	5	35	°C

Statische Kennwerte

Kennwert	Kurs- seichen	MeSbedingungen	K 561 I	MAX.	K 561	RU 2 B	Einheit
Betriebsspannung	UDD		6	12	6	12	v
Stromaufnahme	IDDS	UDD = 9,45 V;			11		
*		v = 25 °C		10		200	/UA
		ϑ= -45 °C		10		200	/UA
Eingangsreststrom H		0 = 85 °C		300		1000	/UA
PIUSGUSBLEBERGOM U	ILIH	U _{DD} = 9,45 V;		0,2			μ A .
=		ϑ _a = 25 °C ϑ _a = -45 °C		0,2)MA
	- 1	ϑa = 85 °C		1		1	,ua
Bingangsreststrom L	ILIL	UDD = 9,45 V;		- 32 8	· ·		/
	PITE	⊕ = 25 °C		0,2		0,2	/UA
	8	ϑ45 °C		0,2			UA
	. 3	77 = 85 °C		- 1			UA
Ausgangsreststrom	ILDO	Upp = 9,45 V;			1 %		
	2.575	ϑ- = 25 °C		- 1	- 2	1,000	/uA
		va = -45 °C		1	1	19853	/UA
2004 (2004) (2007)	<u> </u>	ϑ _a = 85 °C		15	(0.0	20	/UA
Ausgangsstrom L	IDOL	U _{DD} = 8,55 V; U _O = 0,5	2				
V		va = 85 °C	0,8		0,8		mA .
Ausgangsstrom H	T		0,0		0,8		mA
was gang as at am tr	IDOH	U _{DD} = 8,55 V; U _Q = 8 V V _R = 25 °C	0,6		0,6	320	mA .
		∂a = 85 °C	0,3		0,3		mA ·
Ausgangsspannung L	UDOL	UDD = 9,45 V;	0,5		0,5		
	TOU	ϑ = 25 °C	1 1	10		10	mV.
*		∂ = 85 °c		50		50	mV
Ausgangsspannung H	UDOH	Upp = 9,45 V;		0.000000011		3,50	(400)
		₩ = 25 °C	9,35		9,35		v
		∂ = 85 °0	8,95		8,95		V

Kennwert	Kurs- seichen	Meßbedingungen	K 561 I	ATT TO A SALES	K 561 :	RU 2 B	Einkeit
Eingangskapasität	o _I	131		8		10	p¥
Ausgangskapakität	c _o	172	- 1 - 1	16	1	18	pF
Ringangsspannung L		⊕ = 25 °C	1 1	2,7		2,7	٧
	***	⊕ = 85 °C		2,6	42 90	2,6	V
		% =-45 °C	1 1	2,7		2,7	V
Ringangsspannung H	UH	€ = 25 °C	6,3	0.000	6,3		V
	1000	€ = 85 °C	6,3	-	6,3	1	V
		€ =-45 °C	6,4		6,4	- 1	V

Dynamische Kennwerte

Kennwert	Kurz- zeichen	MeSbedingungen	K 561 RU 2	x. min. max.	Einheit
Schreibzykluszeit	twoy (troy)	υ _{DD} = 8,55 V; ϑ _a = 25 °c ϑ _a = 85 °c	800	1300	ns ns
Preigabezugriffs- zeit	*co	U _{DD} = 8,55 V; ϑ_a = 25 °C ϑ_a = 85 °C	60	1000	ns ns
Ausschaltzeit des Freigabesignals	t CEAS	η = 25 °C η = 85 °C	200	200	ns ns
Einstellzeit des Preigabesignals bezogen auf das	†DEAH	υ _{DD} = 8,55 V; ϑ _a = 25 °C ϑ _a = 85 °C	20	100	ns ns
Adressensignal Chipaktivierungs- zeit	t _{CE}	∂ _a = 25 °C ∂ _a = 85 °C	600 950	1000	ns ns

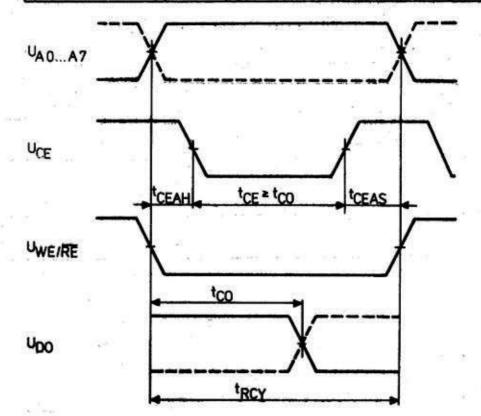


Bild 4: Taktdiagramm im Lesebetrieb

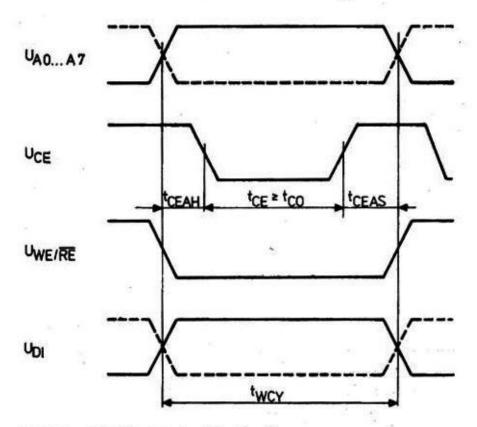


Bild 5: Taktdiagramm im Schreibzyklus

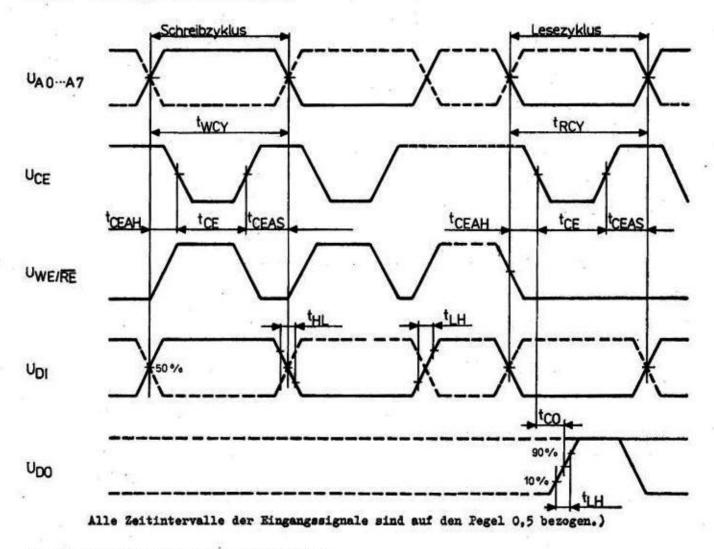


Bild 6: Zeitverhalten der Eingangssignale

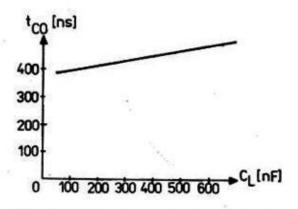


Bild 7: Abhängigkeit der Freigabezeit t_{CO} von der Lastkapazität C_L, U_{DD} = 9 V; θ_a = 25 °C L,

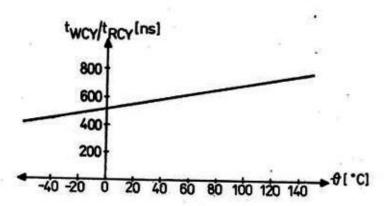


Bild 8: Abhängigkeit der Schreibzykluszeit twoy (troy)
von der Temperatur,
UDD = 9 V; CL = 50 nF

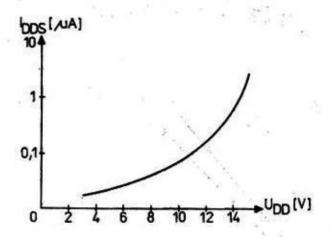


Bild 9: Typ. Abhängigkeit der Stromaufnahme IDDS von der Betriebsspannung UDD

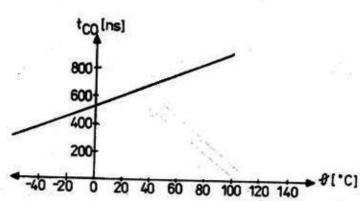


Bild 10: Typ. Freigabezugriffszeit in Abhängigkeit von der Temperatur, C_L = 50 nF; U_{DD} = 9 V

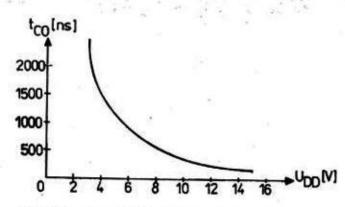


Bild 11: Typ. Abhängigkeit der Freigabezugräffszeit tgo von der Betriebsspannung UDD, CL = 50 nF; Ta = 25 °C

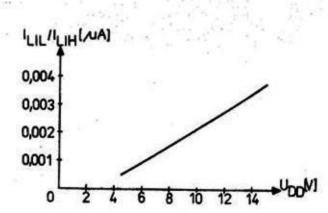


Bild 12:Typ. Abhängigkeit der Eingangsrestströme ILIL und I_{LIH} von der Betriebsspannung och 25 oc

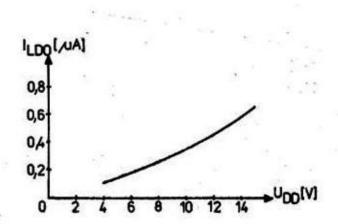


Bild 13: Typ. Abhängigkeit des Ausgangsreststromes I_{LDO} von der Betriebsspannung U_{DD}, C_L = 50 nF

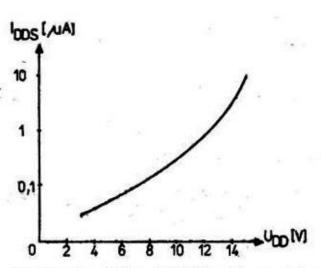


Bild 14: Typ. Abhängigkeit der Stromaufnahme Ipps von der Betriebsspannung Upp. Va = 25 °C

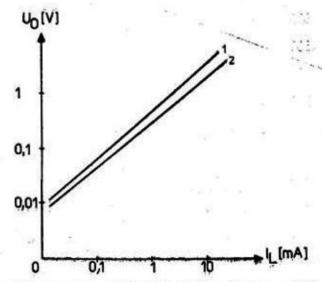


Bild 15: Typ. Abhängigkeit der Spannungsdifferenz zw. der Betriebsspannung UDD und der Ausgangsspannung UDDH Laststrom IL bei UDD - 10V

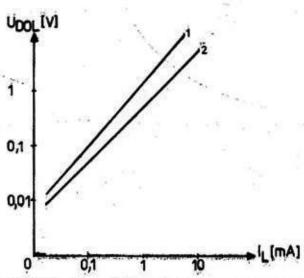


Bild 16: Typ. Abhängigkeit der Ausgangsapennung UpOb vom Laststrom I_L bei $V_{\rm DD}$ = 5 V

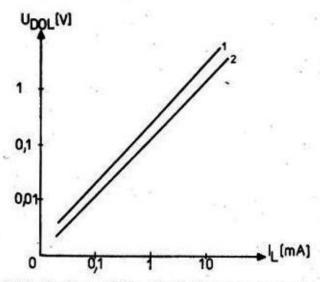


Bild 17: Typ. Abhängigkeit der Ausgangsspannung U_{DOL} vom Laststrom I_L bei U_{DD} = 10 V

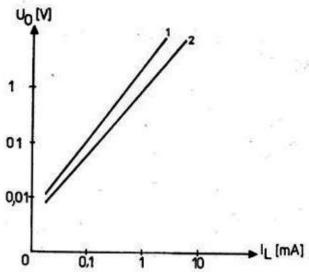


Bild 18: Typ. Abhängigkeit der Spannungsdifferenz zw. der Betriebsspannung und der Ausgangsspannung UDOH vom Laststrom IL bei UDD = 5 V

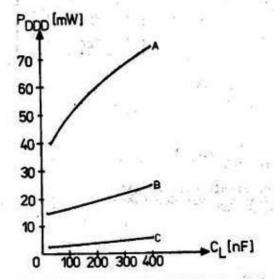


Bild 19: Typ. Abhängigkeit der Leistungsaufnahme PDDD von der Lestkapazität CL im dynam. Betrieb f = 250 kHz, Mäanderimpuls

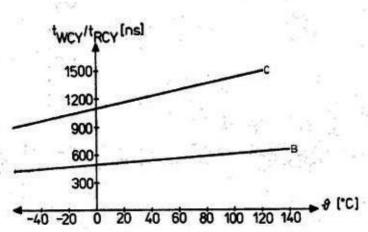


Bild 20: Typ. Abhängigkeit der Schreibzykluszeit (Lesezykluszeit) twcy (trcy) von der Temperatur

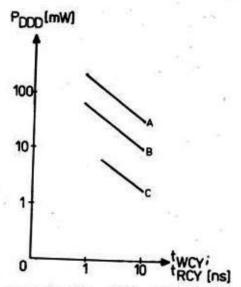


Bild 21: Typ. Abhängigkeit der Leistungsaufnahme PDDD von der Schreib-(Lese)- Zykluszeit twcy (t_{RCY}) im dyn. Betrieb,

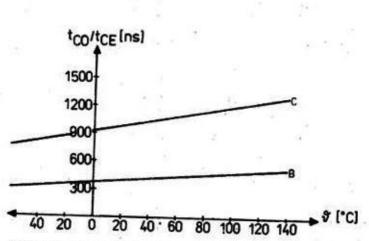


Bild 22: Typ. Abhängigkeit der Freigabezugriffszeit t_{CO}, der Dauer des Freigabesignals t_{CE} von der Temperatur

UDD = 15 V

- UDD = 10 V

UDD -

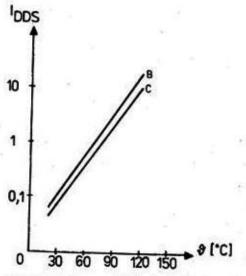


Bild 13: Typ. Abhängigkeit der Stromaufnahme I_{DDS} von der Temperatur

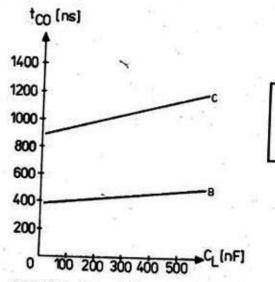


Bild 24: Typ. Abhängigkeit der Freigabezugriffszeit t_{CO} von der Lastkapazität C_L

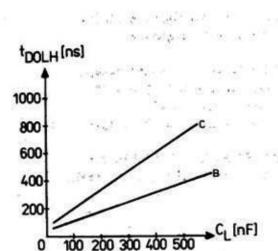


Bild 25: Typ. Abhängigkeit der Flankensteilheit des Ausgangssignals t_{DOLH} von der Lastkapazität C_L

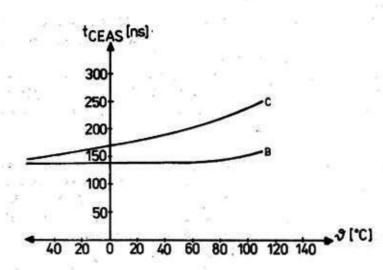


Bild 26: Typ. Abhängigkeit der Ausschaltzeit des Freigabesignals bezogen auf das Adressensignal t_{CRAS} von der Temperatur

Applikative Hinweise des Herstellers

- Eingangssignale dürfen nicht anliegen, wenn die Betriebsspannung abgeschaltet ist.
- Die Eingänge des Schaltkreises sind grundsätzlich an definierte Potentiale zu legen.
 Deshalb empfiehlt der Hersteller, die freien Eingänge mit einer Betriebsspannungsleitung zu verbinden.
- Beim Messen und beim Betrieb der Schaltkreise müssen Maßnahmen getroffen werden, die die Möglichkeit der Ladungsspeicherung auf den Anschlüssen der Schaltkreise ausschließen.
- Beim Löten mit einem Lötkolben muß die Spitze desselben geerdet sein. Die Temperatur des Lötkolbens darf 265 °C nicht überschreiten; die Zeit zur Berührung mit jedem Anschluß beträgt max. 3 s.
- Es wird empfohlen, das Löten am Stromversorgungsanschluß \mathbf{U}_{DD} zu beginnen. Das Löten der anderen Anschlüsse ist in jeder beliebigen Reihenfolge zulässig.
- Das Zeitintervall zwischen der Lötungen der benachbarten Anschlüsse muß mindestens 3 s betragen, das Zeitintervall zwischen wiederholten Lötungen an ein und demselben Schaltkreis mind. 5 min. Der Abstand vom Gehäuse bis zur Lötstelle muß mind. 1mm sein.
- Beim industriellen Löten (Tauchlöten usw.) darf die Temperatur des Schmelzlotes 265 °C nicht überschreiten. Die Einwirkzeit dieser Temperatur ist max. 3 s (gleichzeitig auf alle Anschlüsse).
- Die max. Betriebstemperatur des Chips \mathcal{T}_{kp} beträgt 140 °C. Die Betriebstemperatur des Chips \mathcal{T}_{kp} wird bei einer Temperatur des umgebenden Mediums \mathcal{T}_{okp} und einer Leistungsaufnahme P nach folgender Formel bestimmt:

$$\vartheta_{kp} = \vartheta_{okp} + R_{T} \cdot P$$
 (°C)

wobei Rm = 0,1 °C/W beträgt.

 Die Schaltkreise müssen in beheizten und durchlüfteten Lagerräumen bei einer Temperatur von 5 ... 35 °C und einer relativen Luftfeuchte von max. 85 % gelagert werden.

/1/	Mikroschema K 561 RU 2 A, K 561 RU 2 B - technitscheskie uslovia 0.348.457 TU (Mikroschaltkreis K 561 RU 2 A, K 561 RU 2 B - technische Bedingungen
-	0.348.457 TB)
/2/	Poluprowodnikowaja integralnaja mikroschema K 561 RU 2, spravotschnye dannye
1	(Integrierter Halbleiterschaltkreis K 561 RU 2, Datenblatt - Bild 7 v 17
	entstammen diesem Datenblatt und haben nur informativen Charakter)
/3/	Poluprowodnikowaja integralnaja mikroschema K 561 RU 2 A/K 564 RU 2 B, spravotschnye
	dannye
	(Integrierter Halbleiterschaltkreis K 561 RU 2 A/K 564 RU 2 B, Datenblatt -
	Bild 12 26 entstammen diesem Datenblatt und haben nur informativen Charakter)
141	Etiketka mikroschemy K 561 RU 2 A, K 561 RU 2 B
	(Btikett Schaltkreis K 561 RU 2 A, K 561 RU 2 B)
/5/	Integralnye mikroschemy (zifrowye)
	Integrated circuits (digital)
	(Integrierte Schaltkreise, digital, Katalog)
161	Integralnye mikroschemy (zifrowye)
(t) (t)	(Integrierte Schaltkreise, digital, Katalog)
171	Mikroschema serii K 561 - technitscheskie uslovia 0.348.457 TU ot 12.05.1980

(Mikroschaltkreise der Serie K 561 - technische Bedingungen 0.348.457 TB vom



Mainzer Straße 25

Berlin 1035 Telefon: 5 80 05 21, Telex: 011 2981; 011 3066

12.05.1980)